

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-188161

(43)Date of publication of application : 24.07.1990

(51)Int.Cl.

H02M 3/07

G11C 16/06

H01L 27/04

H01L 27/10

(21)Application number : 01-005811

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 12.01.1989

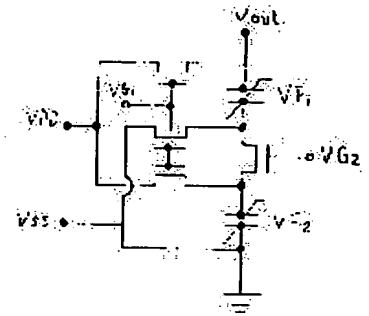
(72)Inventor : IWAMATSU SEIICHI

(54) STATIC BOOSTING CIRCUIT

(57)Abstract:

PURPOSE: To generate high voltage statically by coupling not less than two voltage generating elements composed of ferroelectric film in series.

CONSTITUTION: A static boosting circuit has voltage generating elements coupled in not less than two in series composed of ferroelectric film, in which voltage VG1 is applied to a clock pulse voltage circuit between supply voltage VDD and earth voltage Vss and voltage VF1 to VF2 is generated. After that, when gate voltage VG2 is applied to a MOS type FET between the voltage elements for an open condition, high voltage Vout is generated between the earth voltage Vss.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-188161

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)7月24日

H 02 M 3/07
G 11 C 16/06
H 01 L 27/04
27/10

4 8 1

G

7829-5H

7514-5F

8624-5F

7341-5B

G 11 C 17/00

3 0 9 D

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 静的昇圧回路

⑯ 特 願 平1-5811

⑰ 出 願 平1(1989)1月12日

⑱ 発 明 者 岩 松 誠 一 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 上柳 雅 外1名

明 細 書

1. 発明の名称

静的昇圧回路

2. 特許請求の範囲

2つ以上の強誘電体膜から成る電圧発生素子にクロック・パルス電圧を印加して電圧を発生させると共に、該電圧発生素子間にスイッチ素子を導入し、直列に結合し、高電圧を発生させる事を特徴とする静的昇圧回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路における静的(スタティック)昇圧回路に関する。

(従来の技術)

従来、MOS型半導体集積回路装置等の半導体集積回路装置の昇圧回路にはブーストラップと称し、コンデンサを用いてコンデンサに蓄積する電

荷をスイッチ回路によりクロック動作して、ダイナミック(動的)に昇圧する回路方式が用いられるのが通例であった。

(発明が解決しようとする課題)

しかし、上記従来技術によると、ダイナミック昇圧回路では、高電圧が一時的にしか発生することができず、高電圧電源として使用する場合には交流として扱わねばならず、内部回路もダイナミック回路に限定されるという課題があった。

本発明は、かかる従来技術の課題を解決し、ステラチック昇圧回路を提供する事を目的とする。

(課題を解決するための手段)

上記課題を解決するために本発明は静的昇圧回路に関し、2つ以上の強誘電体膜から成る電圧発生素子にクロック・パルス電圧を印加して電圧を発生させると共に、該電圧発生素子間にスイッチ素子を導入し、直列に結合し、高電圧を発生させる手段をとる。

(実施例)

以下、実施例により本発明を詳述する。

第1図は本発明の一実施例を示す静的昇圧回路である。

いま、強誘電体膜から成る電圧発生素子に V_{F1} 及び V_{F2} なる電圧を、電源電圧 V_{DD} とアース電圧 V_{SS} との間に入れたクロック・パルス電圧回路に V_{G1} を印加して、発生させた後、電圧素子間に挿入された、MOS型FETのゲート電圧 V_{G2} を印加してオープン状態となると、高電圧 V_{out} がアース電圧 V_{SS} との間に発生することとなる。発生する V_{out} 電圧は、 V_{out} と $V_{F1}+V_{F2}$ となり、例えば $V_{F1}=V_{F2}=5V$ とすると V_{out} と $10V$ となる。 V_{G2} を印加するスイッチ素子は、 V_{F1} と V_{F2} とを直列につなぐためのもので、抵抗値を出来るだけ低く押える必要がある。前記 V_{out} と $V_{F1}+V_{F2}$ なる式で V_{out} の値が V_{F1} と V_{F2} を加算したものとは一致しないのは、このスイッチ素子の抵抗分による電圧低下があるからである。

この様に強誘電体膜から成る電圧発生素子を直列に2個以上結合することにより、高電圧がスタ

チックに発生させることができ、スタチックな集積回路装置の電源として用いることができ、とりわけ、スタチック・RAMの電源として該静的昇圧回路を用いることにより記憶回路の記憶をほぼ半永久的に保持する事ができる。

(発明の効果)

本発明によりスタチック昇圧回路が提供できる効果がある。

4. 図面の簡単な説明

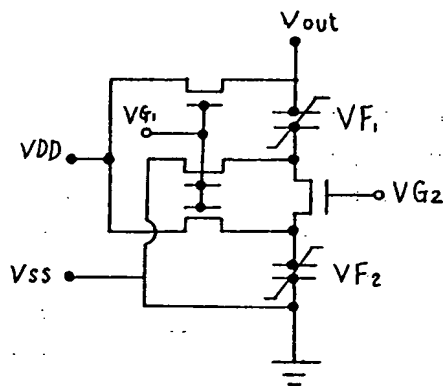
第1図は本発明の一実施例を示すスタチック昇圧回路である。

V_{F1} , V_{F2} …強誘電体膜電圧発生素子電圧
 V_{DD} …電源電圧
 V_{SS} …アース電圧
 V_{G1} …電圧印加回路へのクロック電圧
 V_{G2} …スイッチ素子への印加電圧

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 上柳雅彦 他1名



第1図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成9年(1997)2月7日

【公開番号】特開平2-188161

【公開日】平成2年(1990)7月24日

【年通号数】公開特許公報2-1882

【出願番号】特願平1-5811

【国際特許分類第6版】

H02M 3/07

G11C 16/06

H01L 27/10 481

【F I】

H02M 3/07 8726-5H

H01L 27/10 481 7735-4M

G11C 17/00 309 D 9176-5L

手続補正書(自発)

平成 8 年 1 月 1 2 日



特許庁長官殿

1. 特許出願の表示

平成 1 年 特 許 願 第 6 8 1 1 号

2. 発明の名称

静 的 昇 圧 回 路

3. 補正をする者

事件との関係 出願人
東京都新宿区西新宿2丁目4番1号
(286) セイコーエプソン株式会社
代表取締役 安 川 英 昭

4. 代 理 人

〒163 東京都新宿区西新宿2丁目4番1号
セイコーエプソン株式会社内
(9338) 弁護士 鈴木 喜三郎
連絡先 ☎3348-8591 内線2810-2815



5. 補正の対象

明細書



6. 補正の内容

別 紙 の 通 り

手 続 補 正 書

1. 特許請求の範囲を別紙のごとく補正する。

2. 明細書第2頁第13行目～第18行目において、

「上記課題・・・手段をとる。」とあるを、

「上記課題を解決するために、本発明の静的昇圧回路は、複数の強誘電体膜からなる複数の電圧発生素子と、前記複数の電圧発生素子に、クロック・パルス電圧を印加する電圧印可手段と、前記複数の電圧発生素子を直列接続するスイッチ手段とを有することを特徴とする。」と補正する。

また、前記スイッチ手段は、前記複数の電圧発生素子間に接続されるMOSトランジスタであることを特徴とする。」と補正する。

以 上

代理人 鈴木喜三郎

特許請求の範囲

- (1) 複数の強誘電体膜からなる複数の電圧発生素子と、
前記複数の電圧発生素子に、クロック・パルス電圧を印加する電圧印加手段と、
前記複数の電圧発生素子を直列接続するスイッチ手段とを有することを特徴と
する静的昇圧回路。
- (2) 前記スイッチ手段は、前記複数の電圧発生素子間に接続されるMOSトラ
ンジスタであることを特徴とする請求項1に記載の静的昇圧回路。